

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10171713 A**

(43) Date of publication of application: 26 . 06 . 98

(51) Int. Cl.

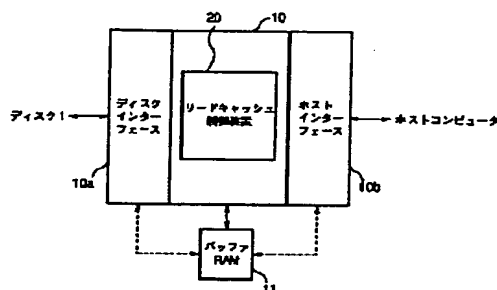
G06F 12/08**G06F 3/06**(21) Application number: **08328342**(22) Date of filing: **09 . 12 . 96**(71) Applicant: **TOSHIBA CORP TOSHIBA
COMPUT ENG CORP**(72) Inventor: **IGARI CHIKASHI
FUKUZAKI MASAYUKI**(54) **DISK STORAGE DEVICE AND METHOD FOR
CONTROLLING CACHE APPLIED TO THE SAME
DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To shorten a processing time required for a read cache processing, and to improve the access speed of a disk storage device by executing each kind of processing necessary for a read cache function by an exclusive hardware without any interference of a CPU.

SOLUTION: A read cache controller 20 provided in an HDC 10 sets cache data(look-ahead data) stored in a buffer RAM 11 as a hit range, and judges whether or not read request data from a host system are included in the hit range. When the read request data are included in the hit range as the result of the hit judgment, a buffer address in which the cache data pertinent to the request data are stored is searched, and the cache data are automatically transferred from this buffer address to the host system.

COPYRIGHT: (C)1998,JPO



(51)Int.Cl. ⁶	識別記号	F I	
G 0 6 F 12/08	3 2 0	G 0 6 F 12/08	3 2 0
3/06	3 0 2	3/06	3 0 2 A

審査請求 未請求 請求項の数10 O L (全 11 頁)

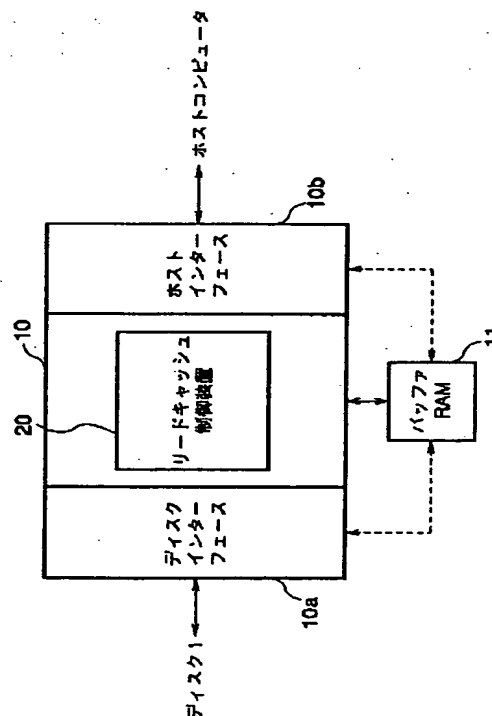
(21)出願番号	特願平8-328342	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)12月9日	(71)出願人	000221052 東芝コンピュータエンジニアリング株式会社 東京都青梅市新町3丁目3番地の1
		(72)発明者	猪狩 史 東京都青梅市末広町2丁目9番地 株式会 社東芝青梅工場内
		(72)発明者	福崎 雅之 東京都青梅市新町1381番地1 東芝コンピ ュータエンジニアリング株式会社内
		(74)代理人	弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 ディスク記憶装置及び同装置に適用するキャッシュ制御方法

(57)【要約】

【課題】リードキャッシュ機能に必要な各種処理を、CPUが関与することなく専用のハードウェアにより実行可能な構成により、結果的にリードキャッシュ処理に要する処理時間を短縮化を実現して、ディスク記憶装置のアクセス速度を向上させることにある。

【解決手段】HDC10に設けられたリードキャッシュ制御装置20は、バッファRAM11に格納されたキャッシュデータ(先読みデータ)をヒット範囲として設定し、ホストシステムからのリード要求のデータがヒット範囲に含まれているか否かを判定する。ヒット判定結果によりリード要求のデータがヒット範囲に含まれている場合に、要求データに該当するキャッシュデータが格納されたバッファアドレスを求めて、このバッファアドレスからホストシステムに自動的にキャッシュデータを転送する。



【特許請求の範囲】

【請求項1】 リードアクセス時にディスク記録媒体から読出されたデータを格納するバッファメモリ手段を有し、前記バッファメモリ手段からリード要求のデータを読出してホストシステムに転送するリードキャッシュ機能を備えたディスク記憶装置であって、

前記バッファメモリ手段に格納されたキャッシュデータのヒット範囲を設定するための設定手段と、

前記ホストシステムからのリード要求のデータが前記ヒット範囲に含まれているか否かを判定する判定手段と、

前記判定手段の判定結果により前記リード要求のデータが前記ヒット範囲に含まれている場合に、前記リード要求に該当するキャッシュデータが格納されている前記バッファメモリ手段のアドレスを決定するアドレス決定手段と、

前記アドレス決定手段により決定されたアドレスのキャッシュデータを前記バッファメモリ手段から前記ホストシステムに転送するデータ転送手段とを具備したことを特徴とするディスク記憶装置。

【請求項2】 前記設定手段は、前記バッファメモリ手段に格納された前記キャッシュデータの先頭アドレスを保持するキャッシュアドレス保持手段と、

前記バッファメモリ手段に格納された前記キャッシュデータの所定単位毎のデータ数をカウントするデータカウンタ手段と、

前記先頭アドレスと前記データ数とに基づいて前記キャッシュデータの最終アドレスを算出する手段とを有し、前記先頭アドレスと前記最終アドレスとに基づいて前記ヒット範囲を設定することを特徴とする請求項1記載のディスク記憶装置。

【請求項3】 前記アドレス決定手段は専用のロジック回路から構成されていることを特徴とする請求項1記載のディスク記憶装置。

【請求項4】 前記データ転送手段は、前記アドレス決定手段により決定されたアドレスのキャッシュデータを前記バッファメモリ手段から読出して、自動的に前記ホストシステムに転送するための自動転送機能を有することを特徴とする請求項1記載のディスク記憶装置。

【請求項5】 リードアクセス時にディスク記録媒体から読出されたデータを格納するバッファメモリ手段を有し、前記バッファメモリ手段からリード要求のデータを読出してホストシステムに転送するリードキャッシュ機能を備えたディスク記憶装置であって、

前記リードアクセス時に前記ディスク記録媒体から読出されたデータのアドレスに連続するアドレスのデータを読出して、前記バッファメモリ手段に保存する先読み手段と、

前記バッファメモリ手段に格納された全データまたは前記先読み手段により読出されたデータのみをキャッシュデータとして設定し、前記キャッシュデータの先頭アド

レスを保持する先頭アドレス保持手段と、

前記バッファメモリ手段に格納された前記キャッシュデータの所定単位毎のデータ数をカウントするデータカウンタ手段と、

前記キャッシュデータの先頭アドレスに対応する前記バッファメモリ手段のベースアドレスを保持するベースアドレス保持手段と、

前記キャッシュデータの先頭アドレスと前記データ数とに基づいてヒット範囲を設定し、前記ホストシステムからのリード要求により発行された要求データアドレスが前記ヒット範囲に含まれるか否かを判定する判定手段と、

前記判定手段により前記要求データアドレスが前記ヒット範囲に含まれる場合に、前記ベースアドレス、前記先頭アドレスおよび前記要求データアドレスにより前記リード要求に該当するキャッシュデータが格納されている前記バッファメモリ手段のアドレスを算出するアドレス決定手段と、

前記アドレス決定手段により決定されたアドレスのキャッシュデータを前記バッファメモリ手段から前記ホストシステムに転送するデータ転送手段とを具備したことを特徴とするディスク記憶装置。

【請求項6】 前記データカウンタ手段は、前記キャッシュデータの所定単位毎のデータ数と共に、前記キャッシュデータに連続して前記バッファメモリ手段に格納される予定の前記キャッシュデータのデータ数をカウントする手段を有し、

前記データ転送手段は、前記アドレス決定手段により算出されたアドレスのキャッシュデータが前記バッファメモリ手段に格納されていない場合に、その格納される予定のキャッシュデータが前記バッファメモリ手段に格納された時点で前記リード要求に該当する要求データとして前記ホストシステムに転送する手段を有することを特徴とする請求項5記載のディスク記憶装置。

【請求項7】 前記データ転送手段は、前記アドレス決定手段により算出されたアドレスのキャッシュデータが前記バッファメモリ手段に格納されていない場合に、その格納される予定のキャッシュデータが前記バッファメモリ手段に格納されるまで待機するか否かを選択する手段を有し、

待機した状態で前記予定のキャッシュデータが前記バッファメモリ手段に格納された時点で前記リード要求に該当する要求データとして前記ホストシステムに転送することを特徴とする請求項6記載のディスク記憶装置。

【請求項8】 前記アドレス決定手段は、前記先頭アドレスと前記要求データアドレスとの差分を算出する手段を有し、

算出した差分を前記ベースアドレスに加算して前記リード要求に該当するキャッシュデータが格納されている前記バッファメモリ手段のアドレスを算出する手段を有す

ることを特徴とする請求項5記載のディスク記憶装置。

【請求項9】 リードアクセス時にディスク記録媒体から読出されたデータを格納するバッファメモリ手段を有し、前記バッファメモリ手段からリード要求のデータを読出してホストシステムに転送するリードキャッシュ機能を備えたディスク記憶装置に適用するキャッシュ制御方法であって、

前記リードアクセス時に前記ディスク記録媒体から読出されたデータのアドレスに連続するアドレスのデータを読出して、前記バッファメモリ手段に保存する先読み処理と、

前記バッファメモリ手段に格納された全データまたは前記先読み処理により読出されたデータのみをキャッシュデータとして設定し、前記キャッシュデータの先頭アドレスを保持する処理と、

前記キャッシュデータの先頭アドレスと前記バッファメモリ手段に格納されたキャッシュデータのデータ数とに基づいてヒット範囲を設定する処理と、

前記ホストシステムからのリード要求により発行された要求データアドレスが前記ヒット範囲に含まれるか否かを判定する処理と、

前記要求データアドレスが前記ヒット範囲に含まれる場合に、前記リード要求に該当するキャッシュデータが格納されている前記バッファメモリ手段のアドレスを算出するアドレス算出処理と、

前記リード要求に該当するキャッシュデータを、前記アドレス算出処理により算出された前記バッファメモリ手段のアドレスから読出して前記ホストシステムに転送する処理とを有することを特徴とするキャッシュ制御方法。

【請求項10】 リードアクセス時にディスク記録媒体から読出されたデータを格納するバッファメモリ手段を有し、前記バッファメモリ手段からリード要求のデータを読出してホストシステムに転送するリードキャッシュ機能を備えたディスク記憶装置に適用するキャッシュ制御方法であって、

前記リードアクセス時に前記ディスク記録媒体から読出されたデータのアドレスに連続するアドレスのデータを読出して、前記バッファメモリ手段に保存する先読み処理と、

前記バッファメモリ手段に格納された全データまたは前記先読み処理により読出されたデータのみをキャッシュデータとして設定し、前記キャッシュデータの先頭アドレスを保持する処理と、

前記バッファメモリ手段に格納された前記キャッシュデータの所定単位毎のデータ数と共に、前記キャッシュデータに連続して前記バッファメモリ手段に格納される予定の前記キャッシュデータのデータ数をカウントするデータカウント処理と、

前記キャッシュデータの先頭アドレスと前記データ数と

に基づいてヒット範囲を設定する処理と、

前記ホストシステムからのリード要求により発行された要求データアドレスが前記ヒット範囲に含まれるか否かを判定する処理と、

前記要求データアドレスが前記ヒット範囲に含まれる場合に、前記リード要求に該当するキャッシュデータが格納されている前記バッファメモリ手段のアドレスを算出するアドレス算出処理と、

前記リード要求に該当するキャッシュデータを前記アドレス算出処理により算出された前記バッファメモリ手段のアドレスから読出して前記ホストシステムに転送し、当該キャッシュデータが前記バッファメモリ手段に格納されていない場合には格納されるまで待機し、前記バッファメモリ手段に格納された時点で当該キャッシュデータを前記リード要求に該当する要求データとして前記ホストシステムに転送する処理とを有することを特徴とするキャッシュ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば磁気ディスク装置に適用し、ディスク記録媒体から読出したデータをキャッシュデータとして利用するリードキャッシュ機能を有するディスク記憶装置に関する。

【0002】

【従来の技術】従来、磁気ディスク装置であるハードディスクドライブ(HDD)などのディスク記憶装置は、半導体ICメモリと比較して記憶容量は大きい、データアクセス速度が低速である。このため、ホストシステム(パーソナルコンピュータなどのコンピュータ本体)がHDDに対して必要なデータを要求(リード要求)したときに、HDDのディスク記録媒体(以下単にディスクと称する)から読出されて転送されるまでの処理時間が相対的に長時間となる。従って、ホストシステム側のデータ処理効率を向上させる上で、特に外部記憶装置として重要な周辺デバイスであるHDDのアクセス速度を高速化が望ましい。

【0003】このようなアクセスの高速化の技術として、いわゆるリードキャッシュ機能が周知である。リードキャッシュ機能とは、ホストシステムから最初のリード要求によりディスクから読出されたデータをホストシステムに転送した後に、ディスクからの読出し動作を継続して、リード要求のデータに連続したデータを先読み処理し、バッファメモリ(バッファRAM)に保存する処理である。そして、次にホストシステムからのリード要求があったときに、その要求データがバッファRAMに保存されている場合には、ディスクからの読出し動作を実行せずに、ホストシステムに転送する処理を実行する。このようなリードキャッシュ機能により、読出し頻度の高いデータについては、ディスクに対する読出し動作を行なうことなく、バッファRAMから直接にホスト

システムに転送できるため、結果的にHDDのデータアクセス動作を高速化できる。

【0004】リードキャッシュ機能の方式としては、最初のリード要求により読出されたセクタデータのアドレス（ホストシステムからの論理アドレスとする）に連続したアドレスに対してリード要求があると、バッファRAM内に先読みしたセクタデータをホストシステムに転送する処理がある。この連続したアドレスは、シーケンシャル・データアドレスと呼ばれ、バッファRAMに格納されているキャッシュデータ（先読みされたセクタデータ）の開始アドレスに相当する。

【0005】一方、最初のリード要求のアドレスに対して、不連続なアドレス（ランダムアドレス）のリード要求が発生した場合には、要求データアドレスがバッファRAMに格納されているキャッシュデータのアドレスとを比較し、該当する要求データがバッファRAMに存在するか否かを判定する（ヒット判定処理）。即ち、シーケンシャル・データアドレスをSA、要求データアドレスをA、キャッシュデータの最終アドレス（キャッシュ・データアドレス）をEAとした場合に、条件式「 $SA \leq A \leq EA$ 」を満足するか否かを判定する。ここで、キャッシュ・データアドレスEAは、シーケンシャル・データアドレスSA及びバッファRAM内に読出されたセクタデータ数（先読みデータ数）から算出される。要求データアドレスAが前記条件式を満足する場合には、バッファRAMに要求データが存在するため、その要求データであるキャッシュデータが格納されているバッファRAMのアドレスを求めて、このアドレスから読出したキャッシュデータをホストシステムに転送する。

【0006】HDDでは、ドライブとホストシステムとのインターフェースを構成するディスクコントローラ（HDC）が設けられており、このHDCによりディスクとホストシステム間のデータ転送が実行される。さらに、ドライブの制御装置を構成するマイクロプロセッサ（CPU）は、バッファRAMのアドレスを管理し、前記のリードキャッシュ機能におけるヒット判定処理やバッファRAMのアドレス算出処理を実行している。

【0007】

【発明が解決しようとする課題】前述したように、HDD等においては、データ転送動作に使用するバッファRAMを利用して、先読みしたデータをキャッシュデータとして保存し、ホストシステムからのリード要求にヒットしたキャッシュデータを転送するリードキャッシュ機能が使用されている。このようなリードキャッシュ機能により、データの高速アクセス動作を実現することができる。しかしながら、従来のリードキャッシュ機能ではCPUが相当関与し、特にヒット判定処理やバッファRAMのアドレス算出処理を実行している。通常ではCPUは、リードキャッシュ処理以外にもHDCのアクセスコマンド処理に必要な各種のレジスタ（ステータスレジ

スタなど）の監視や、データ転送動作におけるポーリング処理などを実行している。従って、CPUが大きく関与したリードキャッシュ機能では、必ずしも効率的ではなく、ヒットした場合でもバッファRAMに存在するキャッシュデータを転送するにはかなりの処理時間を要する。

【0008】そこで、本発明の目的は、リードキャッシュ機能に必要な各種処理を、CPUが関与することなく専用のハードウェアにより実行可能な構成により、結果的にリードキャッシュ処理に要する処理時間を短縮化を実現して、ディスク記憶装置のアクセス速度を向上させることにある。

【0009】

【課題を解決するための手段】本発明は、いわゆるリードキャッシュ機能を備えたディスク記憶装置であって、バッファメモリ手段に格納されたキャッシュデータのヒット範囲を設定するための設定手段と、ホストシステムからのリード要求のデータがヒット範囲に含まれているか否かを判定する判定手段と、前記判定手段の判定結果により前記リード要求のデータが前記ヒット範囲に含まれている場合に、バッファメモリ手段のアドレスを決定するアドレス決定手段と、データ転送手段とを備えた装置である。ヒット範囲の設定手段とは、具体的にはバッファメモリ手段に格納されたキャッシュデータの先頭アドレスを保持するキャッシュアドレス保持手段と、バッファメモリ手段に格納された前記キャッシュデータの所定単位毎のデータ数をカウントするデータカウンタ手段と、先頭アドレスとデータ数とに基づいてキャッシュデータの最終アドレスを算出する手段とを有する。

【0010】このような各処理手段を専用のロジック回路により構成することにより、リードキャッシュ処理に必要なドライブのCPUの関与を大幅に削減することが可能であるため、リードキャッシュ処理の処理時間を短縮化することができる。

【0011】さらに、本発明は、リードアクセス時にディスク記録媒体から読出されたデータのアドレスに連続するアドレスのデータを読出して、バッファメモリ手段に保存する先読み手段と、バッファメモリ手段に格納された全データまたは前記先読み手段により読出されたデータのみをキャッシュデータとして設定し、前記キャッシュデータの先頭アドレスを保持する先頭アドレス保持手段と、バッファメモリ手段に格納されたキャッシュデータの所定単位毎のデータ数をカウントするデータカウンタ手段とを備えた装置である。

【0012】前記ヒット範囲の設定手段は先頭アドレス保持手段とデータカウンタ手段とにより構成されて、キャッシュデータの先頭アドレスとデータ数とに基づいてヒット範囲を設定する。また、データカウンタ手段は、キャッシュデータの所定単位毎のデータ数と共に、キャッシュデータに連続してバッファメモリ手段に格納され

る予定のキャッシュデータのデータ数をカウントする。データ転送手段は、リード要求のデータアドレスがヒット範囲に含まれているが、バッファメモリ手段にその要求データが存在しない場合には、その要求データに該当するキャッシュデータがバッファメモリ手段に格納された時点でホストシステムに転送する。

【0013】従って、キャッシュデータがバッファメモリ手段に格納する前に、リードキャッシュ処理に必要なヒット判定処理が終了しているため、バッファメモリ手段に格納した時点で直ちに要求データをホストシステムに転送することが可能となる。

【0014】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。図1は本実施形態に係るリードキャッシュ機能を有するディスクコントローラの要部を示すブロック図であり、図2は本実施形態に係るHDDの要部を示すブロック図である。

(HDDのシステム構成) 本実施形態のHDDは、図2に示すように、スピンドルモータ2により回転されるディスク(記録媒体)1と、ヘッドアクチュエータ4により保持されている。ディスク1上には、同心円状の多数のトラックが形成されて、各トラックは複数のセクタに分割されている。HDDではセクタ単位にデータアクセスがなされる。ヘッドアクチュエータ4はボイスコイルモータ(VCM)5により回転駆動し、ヘッド3をディスク1の半径方向に移動する。VCM5はダブルドライブ6に含まれるVCMドライブ6aにより駆動される。スピンドルモータ2はスピンドルモータ(SPM)ドライブ6bにより駆動される。

【0015】ヘッドアンプ7とリード/ライト回路8は記録再生の信号処理系を構成する要素である。なお、本実施形態では、リードキャッシュ機能に係る再生動作であるリード信号処理系のみについて取り扱う。即ち、ヘッド3により読出されたリード信号は、ヘッドアンプ7により増幅された後に、リード/ライト回路8に送出されてリードデータに再生される。また、リード/ライト回路8は、リード信号からユーザデータだけでなく、ヘッド3の位置決め制御に必要なサーボデータも再生する。サーボ回路11は、リード/ライト回路8からのサーボデータをディスク制御回路9を介してCPU12に送出したり、またCPU12からの制御によりVCMドライブ6aを駆動制御して、ヘッド3の位置決め制御を実行する。ディスク制御回路9はゲートアレイから構成されており、各種の制御信号やデータの転送制御などに必要なインターフェース制御回路である。

【0016】CPU12はドライブの制御装置であり、ROM13に格納されたプログラムにより動作し、ドライブの動作に必要な各種の制御処理を実行する。EEPROM14は電気的に消去可能なPROMであり、CPU12の動作において不揮発性を要するデータを格納す

る。

(ディスクコントローラの構成) 本実施形態のディスクコントローラ(HDC)10は、図1に示すように、本実施形態に係るリードキャッシュ制御装置20を有する。HDC10は、ドライブとホストシステム(OSやアプリケーション・プログラムを含むホストコンピュータ)とのインターフェースを構成し、ディスク1側とのディスクインターフェース10aおよびホストシステム側とのホストインターフェース10bを有する。HDC10は、バッファRAM11を使用してリード/ライトデータの転送動作を実行する。バッファRAM11は本実施形態に係るリードキャッシュ処理に使用されるキャッシュデータを保存するバッファメモリである。

(第1の実施形態) 図3は第1の実施形態として、リードキャッシュ制御装置20の具体的なハードウェア構成を示すブロック図である。即ち、リードキャッシュ制御装置20は、キャッシュデータの開始アドレスであるシーケンシャル・データアドレス(以下アドレスSAと称する)を保持するレジスタ21と、バッファRAM11に格納されたキャッシュデータのデータ数(セクタデータ数)をカウントし保持するディスクカウンタ22と、バッファRAM11に格納されたキャッシュデータの先頭データのバッファ・ベースアドレス(ベースアドレスBAと称する)を保持するレジスタ23とを有する。

【0017】さらに、リードキャッシュ制御装置20は、バッファRAM11に格納されたキャッシュデータの最終データアドレス(キャッシュ・エンドアドレス、以下エンドアドレスEAと称する)を算出する算出回路24と、ホストシステムからのリード要求の要求データアドレスQAを保持するレジスタ25と、ヒット判定回路26と、バッファアドレス算出回路27と、自動転送回路28とを備えている。

【0018】ヒット判定回路26は算出回路24の算出結果(エンドアドレスEA)と要求データアドレスQAとを比較して、リード要求の要求データがヒットするかどうかを判定する。バッファアドレス算出回路27は、後述するように、ヒット判定回路26の判定結果がヒットの場合に、要求データであるキャッシュデータが格納されているバッファRAM11のバッファアドレスを算出する。自動転送回路28は、バッファアドレス算出回路27により算出されたバッファRAM11のアドレスから読出したデータをホストシステムに自動的に転送する回路である。

(第1の実施形態のリードキャッシュ処理) 以下同実施形態のリードキャッシュ処理を、図4乃至図6を参照して説明する。

【0019】まず、ホストシステムからリードコマンド(リード要求)が発行されると、一連のリードコマンド処理がHDC10及びCPU12により実行されて、ヘッド3を介してディスク1からデータが読出される(ス

テップS1)。具体的には、CPU12は、リードコマンドの論理アドレスに対応するセクタを含むディスク1上のトラックまで、ヘッドアクチュエータ4を駆動制御してヘッド3を移動させる。ヘッド3により読出されたリードデータが、ヘッドアンプ7、リード/ライト回路8およびディスク制御回路9を経由して、HDC10に転送される。

【0020】ここで、図4(A)に示すように、ホストシステムのリード要求に従って、ディスク1からセクタデータS1～S9がアクセスされたと想定する。これらのセクタデータS1～S9はHDC10に転送されて、同図(B)に示すように、一度バッファRAM11に格納される。このバッファRAM11から、HDC10のホストインターフェース10Bを介してホストシステムに転送される。このデータ転送動作は、前述したように、図3に示す自動転送回路28によりバッファRAM11からホストシステムに自動的に転送される。

【0021】最初の要求データであるセクタデータS1～S9がホストシステムに転送終了すると、HDC10とCPU12は通常の先読み処理を実行する(ステップS2のYES, S3)。この先読み処理により、アクセスしたセクタデータS1～S9に連続するアドレス(論理アドレス)のセクタデータS10～Snをディスク1から読出し、バッファRAM11に保存する(ステップS4)。この先読みされたセクタデータS10～Snがキャッシュデータとして、図4(B)に示すように、バッファRAM11に格納される。このとき、当然ながらバッファRAM11の空き領域に対応するデータ量のキャッシュデータが保存される。

【0022】同実施形態のリードキャッシュ制御装置20では、キャッシュデータがバッファRAM11に格納されるときに、図5(A)に示すように、キャッシュデータの開始アドレスであるアドレスSA(論理アドレス)がレジスタ21にセットされる。さらに、同図(B)に示すように、ディスクカウンタ22により、バッファRAM11に格納されるときに、キャッシュデータのデータ数(セクタデータ数、ここではn-9個となる)がカウントされて保持される。また、同図(E)に示すように、バッファRAM11に格納されたキャッシュデータの先頭データのベースアドレスBA(物理アドレス)がレジスタ23にセットされる。

【0023】このような状態において、ホストシステムから新たなリード要求が発行されて、その要求データがセクタデータS20であり、論理アドレスが「R20」であると想定する(ステップS5のYES)。リードキャッシュ制御装置20では、図5(D)に示すように、レジスタ25にはホストシステムからのリード要求の要求データアドレスQAである論理アドレスR20がセットされる。リードキャッシュ制御装置20では、ヒット判定回路26は、リード要求の要求データがバッファR

AM11に格納されているキャッシュデータに含まれているか否かのヒット判定処理を実行する(ステップS6)。

【0024】ここで、同実施形態では、ヒット判定回路26の動作の前に、算出回路24によりバッファRAM11に格納されたキャッシュデータの最終データアドレスであるエンドアドレスEA(論理アドレスRn)が算出されて保持される(図5(C)を参照)。算出回路24は、レジスタ21に格納されたキャッシュデータの開始アドレスSAとディスクカウンタ22のセクタデータ数(n-9)とからエンドアドレスEAを算出する。同実施形態では、図4(B)に示すように、論理アドレスR10(バッファRAM11の物理アドレスA10)から論理アドレスRn(バッファRAM11の物理アドレスAn)までがヒット範囲となる。即ち、ヒット判定回路26は、条件式「 $SA \leq QA \leq EA$ 」に基づいて、リード要求の要求データ(セクタデータS20)がヒットするか否かを判定する。

【0025】判定結果がヒットしない場合、即ちリード要求の要求データがバッファRAM11には存在しない場合には、HDC10とCPU12は前述したような通常のリード動作を実行して、ディスク1から要求データを読出してホストシステムに転送する(ステップS7のNO, S8)。

【0026】同実施形態では、要求データアドレスQAが「R20」であるため、ヒット判定回路26は該当するキャッシュデータがバッファRAM11に存在すると判定する(ステップS7のYES)。このヒット判定結果を受けて、バッファアドレス算出回路27は、要求データアドレスQA、キャッシュデータの開始アドレスSA、およびバッファRAM11のベースアドレスBAに基づいて、要求データ(セクタデータS20)であるキャッシュデータが格納されているバッファRAM11のバッファアドレス(図5(F)に示すA20)を算出する(ステップS9)。自動転送回路28は、バッファRAM11のバッファアドレスA20が設定されると、そのアドレスA20から自動的にデータS20を読出してホストシステムに転送する(ステップS10)。

【0027】以上のように同実施形態によれば、ホストシステムからのリード要求に応じて、リードキャッシュ制御装置20はCPU12が関与することなく、ヒット判定回路26のヒット判定処理と、ヒットした場合のバッファRAM11のバッファアドレス(物理アドレス)を算出する処理を実行する。これにより、バッファRAM11に先読みしたキャッシュデータの中にリード要求の要求データが含まれていれば、CPU11の関与およびディスク1からの読出し動作もなく、バッファRAM11からホストシステムに自動的に要求データが転送されることになる。従って、従来のようにCPU12が関与する方式と比較して、大幅にリードアクセス時間を短

縮化して、アクセス速度の高速化を図ることが可能となる。

【0028】なお、同実施形態は、最初にアクセスしたデータから先読みしたデータをキャッシュデータとしてバッファRAM11に格納し、そのキャッシュデータをヒット範囲として設定する方式を前提としている(図4(B)を参照)。しかし、バッファRAM11の格納領域量に従って、最初に読出したデータS1～S9までをヒット範囲として設定してもよい。この場合には、ホストシステムが最初にリード要求したデータS1～S9と同一のデータ(例えばS1)を要求したときに、リードキャッシュ制御装置20はバッファRAM11から読出して自動的にホストシステムに転送することになる。また、ホストシステムのリード要求がヒットしない場合には、バッファRAM11の内容は全て更新されて、新たにディスク1から読出されたデータおよびその先読みデータがバッファRAM11に保存される。

(第2の実施形態) 図7から図10は第2の実施形態に係るリードキャッシュ処理を示すものである。第2の実施形態は、図8に示すように、バッファRAM11のヒット範囲を格納したキャッシュデータだけでなく、格納予定のキャッシュデータまで拡大した方式である。

【0029】具体的には、図7に示すように、同実施形態のリードキャッシュ制御装置20はディスクカウンタ22の代わりに、バッファRAM11に格納可能なセクタデータ数をカウントするセグメントサイズ・カウンタ30を有する。なお、他の構成は図3に示す前述の第1の実施形態と同様である。

【0030】以下図10のフローチャートを参照して同実施形態の動作を説明する。まず、ホストシステムからリード要求が発行されると、一連のリードコマンド処理がHDC10及びCPU12により実行されて、図8に示すように、読出されたセクタデータS1～S9がHDC10に転送されて、バッファRAM11に格納される。そして、最初の要求データであるセクタデータS1～S9がホストシステムに転送終了すると、HDC10とCPU12は通常の前読み処理を実行する(ステップS20～S22)。この前読み処理により、アクセスしたセクタデータS1～S9に連続するアドレス(論理アドレス)のセクタデータS10～Snがディスク1から読出されて、バッファRAM11に保存される(ステップS23)。ここまでは、前述の第1の実施形態と同様である。

【0031】次に、ホストシステムから新たなリード要求が発行されると、リードキャッシュ制御装置20では、ヒット判定回路26は、ホストシステムからの要求データがバッファRAM11に格納されているキャッシュデータに含まれているか否かのヒット判定処理を実行する(ステップS24、S25)。なお、同実施形態においても、ホストシステムの要求データがセクタデータS

20であり、論理アドレスが「R20」であると想定する。従って、レジスタ25には要求データアドレスQAである論理アドレスR20がセットされる。

【0032】同実施形態では、算出回路24は、レジスタ21に格納されたキャッシュデータの開始アドレスSAと、セグメントサイズ・カウンタ30によりカウントされたセクタデータ数とからエンドアドレスEAを算出する。セグメントサイズ・カウンタ30は、バッファRAM11に格納されるセクタデータ数であり、現時点で格納されたセクタデータだけでなく、空き領域に従った格納予定のセクタデータ数もカウントする。ここでは、図9に示すように、セグメントサイズ・カウンタ30はセクタデータ数として「m-9」を保持する。「m」は、図8に示すように、バッファRAM11において、先読みセクタデータ数nと格納予定のセクタデータ数とを加算した値である(最終物理アドレスをAmとする)。

【0033】ヒット判定回路26の判定結果がヒットしない場合、即ちリード要求の要求データがバッファRAM11には存在しない場合には、HDC10とCPU12は前述したような通常のリード動作を実行して、ディスク1から要求データを読出してホストシステムに転送する(ステップS26のNO、S27)。

【0034】同実施形態では、要求データアドレスQAが「R20」であるため、ヒット判定回路26は該当するキャッシュデータがバッファRAM11に存在すると判定する(ステップS26のYES)。このヒット判定結果を受けて、バッファアドレス算出回路27は、要求データアドレスQA、キャッシュデータの開始アドレスSA、およびバッファRAM11のベースアドレスBAに基づいて、要求データ(セクタデータS20)であるキャッシュデータが格納されているバッファRAM11のバッファアドレス(図8に示すA20)を算出する(ステップS28)。自動転送回路28は、バッファRAM11のバッファアドレスA20が設定されると、そのアドレスA20から自動的にデータS20を読出してホストシステムに転送する(ステップS29のYES、S31)。

【0035】同実施形態では、図8に示すように、ヒット判定回路26によるバッファRAM11のヒット範囲は、現時点で格納されたセクタデータ数だけでなく、格納予定のセクタデータ数まで拡大されている。このため、ホストシステムからのリード要求のデータがヒットした場合でも、現時点ではバッファRAM11に格納されていない状態が発生することがある。この場合には、自動転送回路28は、ディスク1から読出されてバッファRAM11に格納されるまで待機し、その要求データ(キャッシュデータ)が格納された時点でホストシステムに転送する処理を行なう(ステップS29のNO、S30)。ここで、自動転送回路28は、現時点ではバッ

フアRAM11に格納されていない場合に、所定の条件（例えば待機時間）により待機するか否かを選択し、待機しないときにはデータ転送動作を停止する。これにより、CPU12は、リードキャッシュ動作から通常のリード動作に切替えて、ディスク1から要求データを読み出すようにしてもよい。

【0036】以上のように同実施形態によれば、先読み処理時に先読みされたセクタデータがバッファRAM11に転送されている期間に、ホストシステムからリード要求がなされた場合でも、リードキャッシュ機能を発揮させることが可能となる。即ち、リード要求時にバッファRAM11に格納されていないが、格納予定のキャッシュデータを含めたヒット範囲を設定し、要求データのヒット判定処理を実行することができる。従って、格納予定の先読みデータをバッファRAM11に格納された時点で、直ちにホストシステムに自動転送することができる。これにより、前述の第1の実施形態の場合と比較して、さらにリードアクセス処理の効率を向上させることが可能となる。

【0037】

【発明の効果】以上詳述したように本発明によれば、リードキャッシュ機能を有するディスク記憶装置において、ドライブを制御するためのCPUが関与することなく専用のハードウェア構成により、バッファメモリに格納したキャッシュデータを利用したリードキャッシュ処理の処理時間の短縮化を実現できる。従って、結果的に低速アクセスのディスクから読み出すリード動作を減少させて、バッファメモリからの高速転送により、リードアクセス速度の高速化を図ることができる。さらに、バッファメモリに格納する予定のキャッシュデータを含むヒット範囲を拡大する方式により、リードキャッシュ処理におけるヒット率を高めることができる。また、ディスクからキャッシュデータの先読み処理時に、ホストシステムからリード要求が発生しても、要求データに該当するキャッシュデータがバッファメモリに格納された時点で自動的に転送できるため、結果的にリードアクセス処理の効率を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に関するディスクコントローラの要部を示すブロック図。

【図2】本実施形態に関するHDDの要部を示すブロック図。

【図3】第1の実施形態に関するリードキャッシュ制御装置の要部を示すブロック図。

【図4】第1の実施形態に関する動作を説明するための概念図。

【図5】第1の実施形態に関する動作を説明するための各レジスタの内容を示す概念図。

【図6】第1の実施形態に関する動作を説明するためのフローチャート。

10 【図7】第2の実施形態に関するリードキャッシュ制御装置の要部を示すブロック図。

【図8】第2の実施形態に関する動作を説明するためのバッファRAMの概念図。

【図9】第2の実施形態に関する動作を説明するためのセグメントサイズ・カウンタの内容を示す概念図。

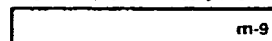
【図10】第2の実施形態に関する動作を説明するためのフローチャート。

【符号の説明】

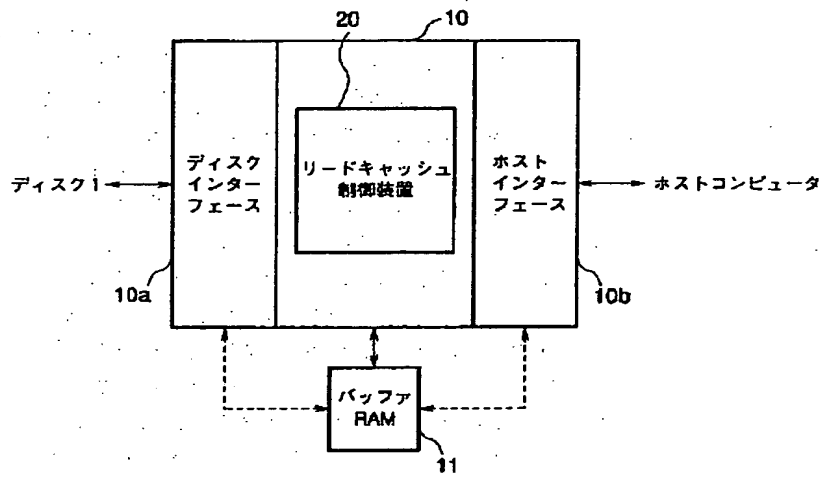
- 1…ディスク
- 2…スピンドルモータ
- 20 3…ヘッド
- 4…ヘッドアクチュエータ
- 5…ボイスコイルモータ（VCM）
- 6…ダブルドライバ
- 6a…VCMドライバ
- 6b…SPMドライバ
- 7…ヘッドアンプ
- 8…リード/ライト回路
- 9…ディスク制御回路
- 10…ディスクコントローラ（HDC）
- 30 11…バッファRAM（バッファメモリ手段）
- 12…CPU
- 13…ROM
- 14…EEPROM
- 20…リードキャッシュ制御装置
- 21…シーケンシャル・データアドレスレジスタ
- 22…ディスクカウンタ
- 23…バッファ・ベースアドレスレジスタ
- 24…キャッシュ・エンドアドレス算出回路
- 25…要求データアドレスレジスタ
- 40 26…ヒット判定回路
- 27…バッファアドレス算出回路
- 28…自動転送回路

【図9】

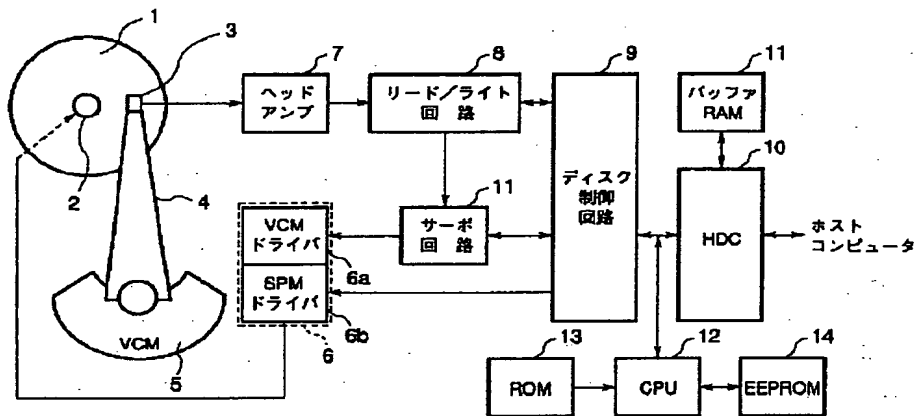
セグメントサイズ・カウンタ



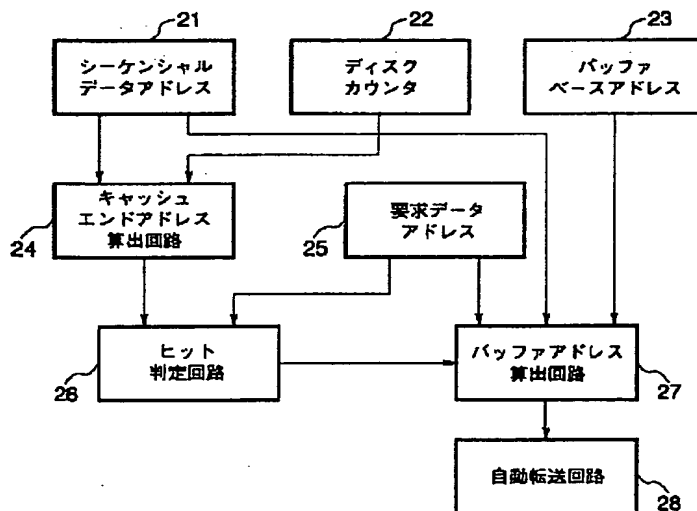
【図1】



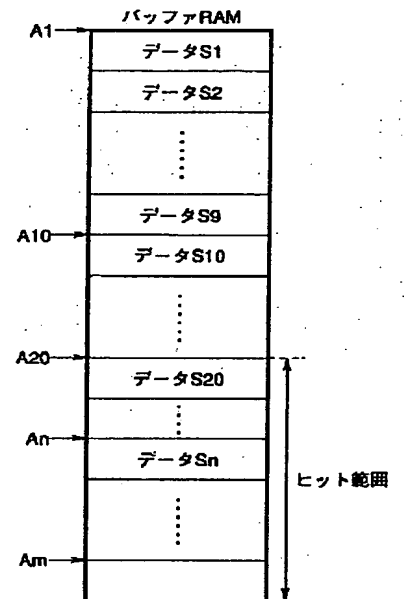
【図2】



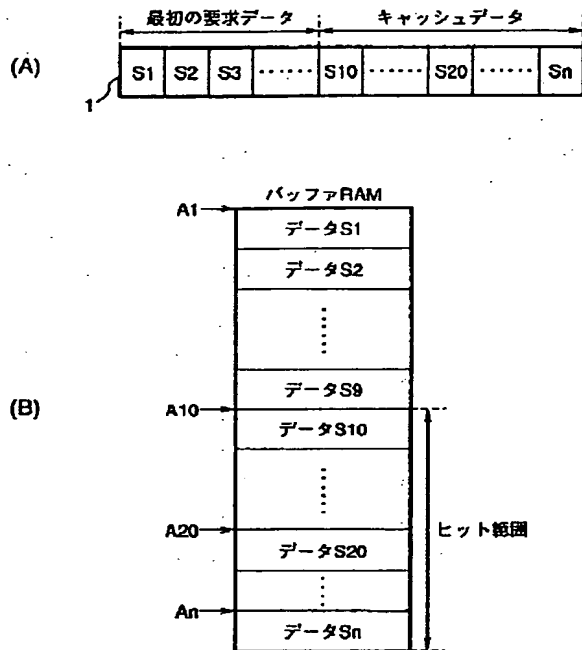
【図3】



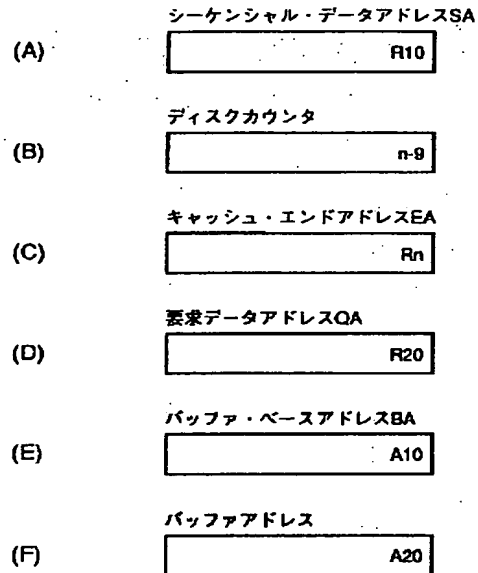
【図8】



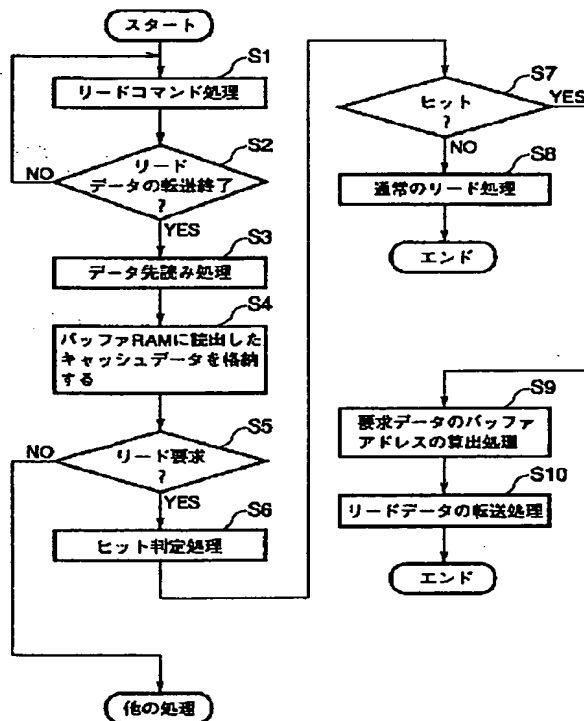
【図4】



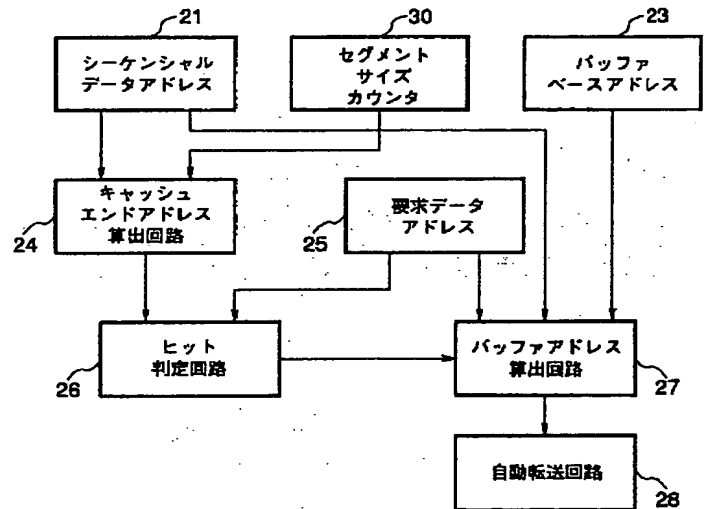
【図5】



【図6】



【図7】



【図10】

